

Family list

1 family member for: **JP4357854**

Derived from 1 application

1 MANUFACTURE OF INSULATOR-ISOLATED STRUCTURE INTEGRATED CIRCUIT

Inventor: ASADA NORIHIRO

Applicant: NIPPON SIGNAL CO LTD

EC:

IPC: H01L21/762; H01L21/02; H01L21/76 (+6)

Publication info: **JP4357854 A** - 1992-12-10

Data supplied from the *esp@cenet* database - Worldwide

MANUFACTURE OF INSULATOR-ISOLATED STRUCTURE INTEGRATED CIRCUIT

Patent number: JP4357854

Publication date: 1992-12-10

Inventor: ASADA NORIHIRO

Applicant: NIPPON SIGNAL CO LTD

Classification:

- international: H01L21/762; H01L21/02; H01L21/76; H01L27/12; H01L21/70; H01L21/02; H01L27/12; (IPC1-7): H01L21/76; H01L27/12

- european:

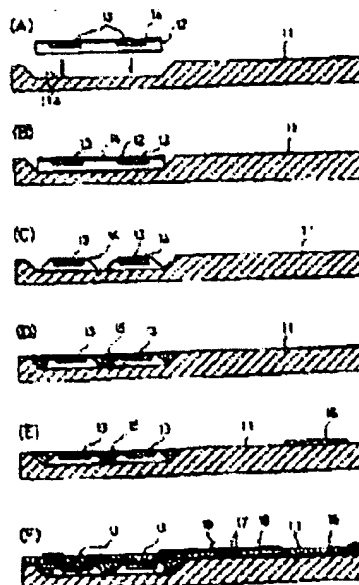
Application number: JP19910132614 19910604

Priority number(s): JP19910132614 19910604

Report a data error here

Abstract of JP4357854

PURPOSE: To manufacture an insulator-isolated structure integrated circuit having high integration and low manufacturing cost, and to cope with a multikind low-production. **CONSTITUTION:** A semiconductor element 13 is previously formed at a predetermined position on a silicon substrate 12, a hole 11a having slightly larger size than that of the substrate 12, substantially the same depth as that of the substrate 12 and a flat bottom, is formed at a glass substrate 11, the substrate 12 is mounted in the hole 11a of the substrate 11, secured by an anodic junction, and a part except the region of the element 13 of the substrate 13 is removed by selective etching. Further, after a silicon oxide film 15 is so buried in the selectively etched part as to be substantially the same plane as the surface of the substrate 11, wirings are performed by photolithography.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-357854

(43) 公開日 平成4年(1992)12月10日

(51) Int.Cl.⁵

H 0 1 L 21/76
27/12

識別記号

D 9169-4M
B 8728-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 4 頁)

(21) 出願番号 特願平3-132614

(22) 出願日 平成3年(1991)6月4日

(71) 出願人 000004651

日本信号株式会社
東京都千代田区丸の内3丁目3番1号

(72) 発明者 浅田 規裕

埼玉県浦和市上木崎1丁目13番8号 日本
信号株式会社与野事業所内

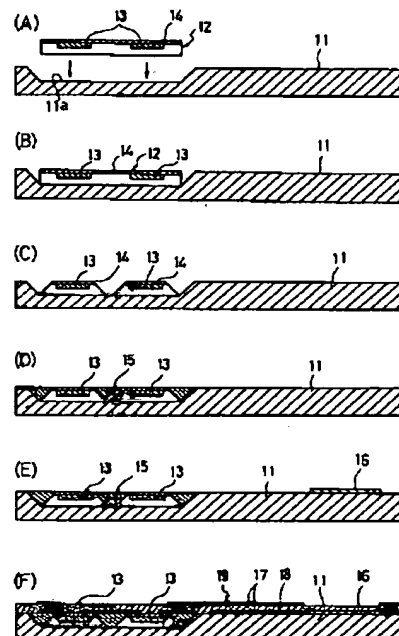
(74) 代理人 弁理士 笹島 富二雄

(54) 【発明の名称】 絶縁物分離構造集積回路の製造方法

(57) 【要約】

【目的】 集積度が高く製造コストの安価な絶縁物分離構造集積回路が製造でき、多品種少量生産に対応できるようにする。

【構成】 シリコン基板12に所定の配置で半導体素子13を予め形成しておき、前記シリコン基板12の大きさよりやや大きめで深さがシリコン基板12と略同じ底面が平坦な穴11aをガラス基板11に形成し、ガラス基板11の穴11a内にシリコン基板12を設置して陽極接合で固定した後、シリコン基板12の半導体素子13領域以外の部分を選択エッチングして取り除き、更に、選択エッチング部分にガラス基板11表面と略同一平面となるようにシリコン酸化膜15を埋め込んだ後、ホトリソグラフィにより配線を行うようにする。



【特許請求の範囲】

【請求項1】シリコン基板に所定の配置で半導体素子を予め形成しておき、前記シリコン基板の大きさよりやや大きめで深さがシリコン基板と略同じ底面が平坦な穴を絶縁基板に形成し、該絶縁基板の穴内に前記シリコン基板を設置して接合固定した後、シリコン基板の半導体素子領域以外の部分を選択エッチングし、更に、前記選択エッチング部分に絶縁基板表面と略同一平面となるように絶縁物を埋め込んだ後、ホトリソグラフィにより配線を行うことを特徴とする絶縁物分離構造集積回路の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、絶縁物によって半導体素子を完全に分離する構造の集積回路（以下ICとする）の製造方法に関する。

【0002】

【従来の技術】例えば、電力素子と制御回路とを一体化したものやフェールセーフ回路等のような完全に素子分離をしなければならない半導体IC等においては、電気的な素子分離、即ち、モノリシックICで一般的に使用されているpn接合の逆バイアスを利用したpn接合分離では、使用する電源電圧の違い等によって素子が誤動作或いは破壊されてしまうため、このような半導体IC等には、厚膜のハイブリッドIC（以下HICとする）やベアチップマウントによる方法或いはモノリシックICにおけるシリコン酸化膜で単結晶の素子部を分離する絶縁物分離構造のIC等が使用されている。そして、このような素子分離が必要なICも、一般に使用されるシステムが複雑化している現在、高機能化、低価格化のための実装密度の向上による小型化の要求が以前にも増して強くなっている。

【0003】ところで、厚膜HICの場合、一般にフラットパッケージのように小型にモールドされた素子を使用するため素子分離は完全に絶縁物分離構造になっていると共に設備投資及び製造工程も比較的簡単に製造コストが安い利点はあるが、集積度はモノリシックICに比べて格段に劣る。また、ベアチップマウントによる方法は、セラミック基板にベアチップをマウントしボンディングによって薄膜配線パターンとベアチップを配線し薄膜抵抗やコンデンサ等と結線する方法であり、素子間は絶縁物で埋められるため厚膜HICと同様に完全な絶縁物分離構造となるが、ベアチップの実装やボンディング作業に機械を使用して行うので設備が大掛かりであり、ベアチップ等の位置合わせ精度等の生産技術レベルに高度なものが要求されるため製造コストが高くなる。また、ベアチップ部品搭載点数の増加とボンディングによる結線数の増加によって信頼性が低下するという問題がある。集積度の点でも厚膜HICより向上するがモノリシックICに比べれば劣る。

【0004】従って、素子を絶縁分離する必要があるICに対する現在の小型化の要求を満足させるものとして最も期待されているのがモノリシックの絶縁物分離構造ICである。

【0005】

【発明が解決しようとする課題】しかしながら、モノリシック絶縁物分離構造のICの場合は、絶縁物分離構造の基板の製造に手間がかかるという問題がある。図2にモノリシック絶縁物分離構造ICの製造過程を示し説明する。まず、図2（A）に示す例えば厚さ約500μmの通常のシリコン基板1を選択エッチングによって図2（B）に示すように例えば深さ約20〜30μmの素子領域2を形成する。そして、これを酸化炉内で表面を熱酸化させて図2（C）に示すように表面にSiO₂の熱酸化膜3を形成する。次に図2（D）に示すように熱酸化膜3の上にポリシリコン4を堆積する。そして、シリコン基板1を研磨することにより図2（E）に示すように素子領域2が絶縁物である熱酸化膜3で完全に囲まれた形状の絶縁物分離基板を得る。その後、一般的なモノリシックICの手法によって素子領域2にトランジスタ等の各種半導体素子を形成する。

【0006】かかる基板製造工程において、ポリシリコン4の堆積及びシリコン基板1の研磨の工程が大変であり手間がかかる。即ち、ポリシリコン4の堆積工程の後工程でシリコン基板1を研磨するために基板強度を確保する必要から、ポリシリコン4をシリコン基板1と同程度の厚さ（約500μm）に堆積しなければならず、大変な手間がかかる。また、シリコン基板1の研磨は、研磨剤を使用してこの研磨剤を段々に細かいものに代えながら徐々に研磨して表面を鏡面に仕上げて行くことから手間がかかる。従って、絶縁物分離構造ICでは基板製造に手間がかかりコストが高くなる。

【0007】絶縁物分離構造のICの需要は、今後も使用するメリットを考慮すればTTLゲートのような汎用のICではなく電力制御用や安全を確保する制御用途等に限定され、それゆえに多品種少量生産が主流となると考えられる。そして、従来のモノリシック絶縁物分離構造のICの製造方法では、工程が煩雑でコスト高となり多品種少量生産には向いていない。

【0008】そこで、本発明は上記の事情に鑑みなされたもので、高い集積度を有し、且つ製造コストが安い絶縁物分離構造ICを得ることができる絶縁物分離構造ICの製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段及び作用】このため本発明は、絶縁物分離構造集積回路を製造するに際し、シリコン基板に所定の配置で半導体素子を予め形成しておき、前記シリコン基板の大きさよりやや大きめで深さがシリコン基板と略同じ底面が平坦な穴を絶縁基板に形成し、該絶縁基板の穴内に前記シリコン基板を設置して接合固

定した後、シリコン基板の半導体素子領域以外の部分を選択エッチングし、更に、前記選択エッチング部分に絶縁基板表面と略同一平面となるように絶縁物を埋め込んだ後、ホトリソグラフィにより配線を行うようにした。

【0010】このような製造方法によれば、予めシリコン基板に所定の配置で半導体素子を形成するのは通常のIC製造技術でよく低コストにできる。また、半導体素子を予め形成したシリコン基板を絶縁基板の穴に接合固定した後、選択エッチングしてこの部分に絶縁物を埋め込むことにより素子の絶縁分離を行う、即ち、素子を固定してから絶縁分離することになるので、個々の素子毎に高い位置精度で実装する工程がなくなり、極めて容易に且つ高精度で半導体素子を実装できるようになる。また、素子間の絶縁分離領域がモノリシックICと略同程度の幅にできるので、集積度も高くできる。更に、半導体素子間の絶縁物分離領域を絶縁基板表面と略同一平面となるように平坦にすることで、一般のモノリシックICで使用されるホトリソグラフィによる配線技術が使用できるので、ボンディングの数が一般のモノリシックIC並となり信頼性も高くなる。更に加えて、モノリシックICでは、基板が高価なシリコン基板であるために大きな面積を必要とするコンデンサや薄膜抵抗を基板上に形成することはコスト高となり従来行われていないが、本発明では、基板にガラス等の安価な絶縁基板を使用できるので、これらコンデンサや薄膜抵抗を安価に基板上に形成できるようになる。

【0011】

【実施例】以下、本発明の一実施例を図面に基いて説明する。図1は本実施例による絶縁物分離構造ICの製造工程を示す。まず、例えば厚さ1~2mm(後述するシリコン基板12の厚さの2倍~3倍)の絶縁基板、例えばガラス基板11に、シリコン基板12の大きさよりやや大きめで深さがシリコン基板12の厚さ(約500 μ m)と略同じ程度で底面が平坦な穴11aを、エッチング液を用いたウェットエッチングにより形成する(図1(A)参照)。

【0012】この穴11a内に、トランジスタ等の半導体素子13を素子分離領域のエッチング条件や製造されるICの最終的な素子配置等を考慮して予め所定の配置で形成したシリコン基板12を図1(B)に示すように設置する。ここで、前記シリコン基板11の製造方法は通常のモノリシックICと同じであり、シリコン基板12の表面にはシリコン酸化膜14が形成されている。そして、設置したシリコン基板12を例えば陽極接合によりガラス基板11の穴11a底面に接合固定する。陽極接合は、穴11aの底面はエッチングにより鏡面状態になっており、常温或いは400℃程度でシリコン基板12の表面とガラス基板11の底面との間で電圧を印加することにより、両者の原子間隔が狭まることによって良好に両者を接合できる。これにより、シリコン基板12とガラス基板11とが一体になる

(図1(B)参照)。

【0013】次に、シリコン基板12表面のシリコン酸化膜14をマスクとして半導体素子13の領域以外のシリコン基板12部分を異方性エッチング等により選択エッチングして取り除く。ここで、ガラス基板11はシリコン酸化膜14と同一組成であるため、半導体素子13上のシリコン酸化膜14と同様にエッチングされずに残る(図1(C)参照)。

【0014】次に、図1(C)の工程でエッチングされた窪み部分にシリコン酸化膜15を、ガラス基板11表面と略同一平面となるように埋め込む。この埋め込み工程では、例えばスピコートで行い、図示しないがガラス基板11表面上にも極めて薄いシリコン酸化膜15が形成される(図1(D)参照)。次に、ガラス基板11上に、高精度薄膜抵抗16を形成する(図1(E)参照)。

【0015】次に、通常のアルミ2層配線技術を利用してアルミニウム17の間にポリイミド18が介在したコンデンサ19を形成すると共に、全ての素子の結線を行う(図1(F)参照)。以後は、モノリシックICの後工程と同様にしてパッケージングを行う。かかる本実施例の製造方法によれば、半導体素子13間の絶縁分離領域がモノリシックICよりやや大きい程度となるので、集積度が厚膜HICやベアチップマウントによる方法に比べて向上できる。また、製造工程が通常のモノリシックICの製造工程と同程度の技術でよいので、従来のモノリシック絶縁物分離構造のICのように手間がかからず製造が容易なので製造が低コストとなる。更に加えて、通常のベアチップを使用する際のように個々の半導体素子毎にシリコン基板をカッティングした後再配置して素子分離を行うのとは異なり、予め個々の半導体素子を陽極接合で固定してから素子分離を行うので、シリコン基板上の素子位置が移動せず位置精度がモノリシックICと同程度に高くできる。そして、位置決め用の機械装置が不要である。また、素子が完全に絶縁物で分離れているので、多種類の電源素子が混在できると共に、電気的な分離であるpn接合分離に比べて耐ノイズ性に優れる。更に、高価なシリコン基板上に面積を必要とする薄膜抵抗やコンデンサを形成するのに比べれば、安価なガラス基板上にこれら素子を形成することになるのでこれら素子の形成が安価にできる等多くの利点を有する。

【0016】

【発明の効果】以上説明したように本発明によれば、厚膜HICやベアチップマウントによる方法に比べて集積度が向上でき、モノリシック絶縁物分離構造のものと略同程度にできる。また、製造コストも、ベアチップマウントによる方法やモノリシック絶縁物分離構造のものより安価にできる。従って、多品種少量生産に対応することができる。

【図面の簡単な説明】

【図1】本発明の一実施例の製造工程を説明する図

【図2】従来のモノリシック絶縁物分離構造ICの製造工程を説明する図

【符号の説明】

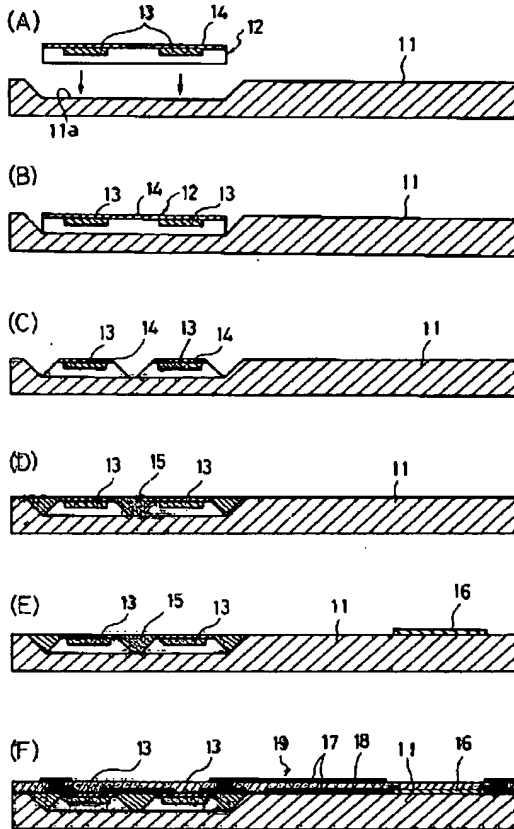
11 ガラス基板

12 シリコン基板

13 半導体素子

15 シリコン酸化膜（素子分離用）

【図1】



【図2】

